

HLee4_Job_1_of_1

Printed by HPS Server
for

EAST

Printer: cp4_3c03_gbjiptr

Date: 09/13/01

Time: 15:34:57

Document Listing

Document	Selected Pages	Page Range
US004796082	8	1 - 8
JP409051092A	7	1 - 7
US005162243	8	1 - 8
US005686325	14	1 - 14
US005726462	23	1 - 23
US005793788	27	1 - 27
US006075262	14	1 - 14
Total (7)	101	-

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-51092

(43) 公開日 平成9年(1997)2月18日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/778		7376-4M	H 0 1 L 29/80	H
21/338			21/265	P
29/812				A
21/265		7376-4M	29/80	F

審査請求 未請求 請求項の数10 F D (全 7 頁)

(21) 出願番号 特願平7-225767

(22) 出願日 平成7年(1995)8月9日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(71) 出願人 390014535

新技術事業団

埼玉県川口市本町4丁目1番8号

(72) 発明者 松ヶ谷 和沖

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72) 発明者 田口 隆志

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

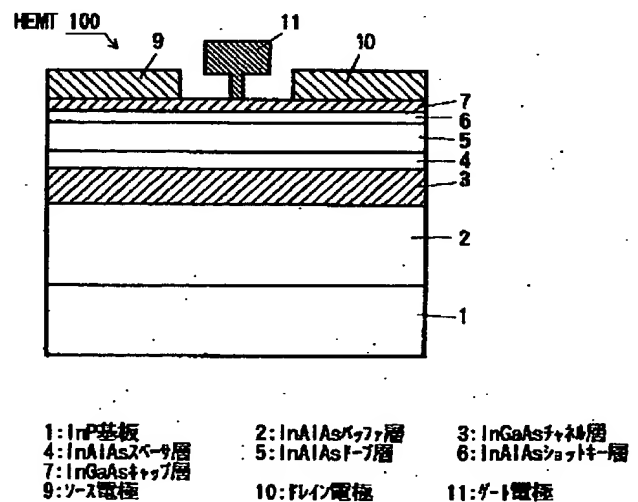
(74) 代理人 弁理士 藤谷 修

(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【課題】高電子移動度トランジスタ (HEMT) の特性を安定させ、耐圧を向上させること。

【解決手段】半絶縁性のInP 基板1 上に、ノンドープのInAlAs(In組成52%)から成るバッファ層2(膜厚100nm)、ノンドープのInGaAs(In組成80%)から成るチャネル層3(膜厚20nm)、ノンドープのInAlAs(In組成52%)から成るスペーサ層4(膜厚5nm)、Si ドープのn 型のInAlAs(In組成52%)から成るドープ層5(膜厚10nm)、ノンドープのInAlAs(In組成52%)から成るショットキー層6(膜厚5nm)、ノンドープのInGaAs(In組成53%)から成るキャップ層7(膜厚2nm)が順次積層されている。キャップ層7 上には、AuGe/Ni/Au から成るソース電極9 及びドレイン電極10が合金化処理によりオーミック接触して形成され、Ti/Pt/Au から成るゲート電極11がショットキー接触して形成されてHEMT100 が構成されている。



1

【特許請求の範囲】

【請求項1】少なくとも基板上に、不純物が添加されていない第一の半導体層と、少なくとも一部分に不純物が添加された第二の半導体層と、不純物が添加されていない第三の半導体層とが積層された電界効果トランジスタであって、
前記第三の半導体層上に、ソース電極、ドレイン電極及びゲート電極が直接形成されたことを特徴とする電界効果トランジスタ。

【請求項2】前記基板は半絶縁性のInPから成り、前記第一の半導体層はInGaAsから成り、前記第二の半導体層はn型のInAlAsから成り、前記第三の半導体層はInGaAsから成ることを特徴とする請求項1に記載の電界効果トランジスタ。

【請求項3】前記第三の半導体層の膜厚は、前記ソース電極、前記ドレイン電極及び前記ゲート電極のそれぞれの直下において等しいことを特徴とする請求項1に記載の電界効果トランジスタ。

【請求項4】前記ソース電極及び前記ドレイン電極は、合金化処理により積層された前記半導体層内に拡散するように形成されたことを特徴とする請求項1または請求項2に記載の電界効果トランジスタ。

【請求項5】前記ソース電極及び前記ドレイン電極はAuGe/Ni/Auから成り、前記ゲート電極はTi/Pt/Auから成ることを特徴とする請求項4に記載の電界効果トランジスタ。

【請求項6】前記ソース電極及び前記ドレイン電極の直下に、n型の不純物がイオン注入されたことを特徴とする請求項1または請求項2に記載の電界効果トランジスタ。

【請求項7】前記ソース電極、前記ドレイン電極及び前記ゲート電極は、同一の材料で構成されたことを特徴とする請求項6に記載の電界効果トランジスタ。

【請求項8】前記材料は、Ti/Pt/Auであることを特徴とする請求項7に記載の電界効果トランジスタ。

【請求項9】前記第三の半導体層の膜厚は、2nm以上5nm以下であることを特徴とする請求項4または請求項6に記載の電界効果トランジスタ。

【請求項10】前記第一の半導体層のIn組成は、53%以上100%以下であることを特徴とする請求項9に記載の電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタに関し、特に、マイクロ波やミリ波の超高周波数帯域において作動する高電子移動度トランジスタ(High Electron Mobility Transistor:以下HEMTと記す)に関する。

【0002】

【従来の技術】高周波帯域での電波の利用やコンピュー

2

タの高速演算化などの実現のために、動作速度の速いトランジスタが注目されている。HEMTは超高速素子の1つであり、信号の担い手である電子を供給する層(ドープ層)と、供給された電子が走行する層(チャネル層)とが組み合わされた積層構造を成している。HEMTの性能を決める要因の1つにチャネル層の材質がある。チャネル層は、従来はGaAsが主流であったが、最近GaAsよりも高速に電子を伝達することができるInGaAsが注目されている。特に、InGaAsはIn_xGa_{1-x}Asと表現したときのxが大きくなるほど、即ち、Inの組成が高くなるほど電子移動度が高くなり、電子の伝達速度が高まるため、近年ではIn組成を53%に設定したIn_{0.53}Ga_{0.47}Asを用い、このIn_{0.53}Ga_{0.47}Asと等しい格子定数を持つInP基板を用いたHEMTが作製されている。また、In組成をさらに高くしたHEMTの作製も試みられている。InGaAsから成るチャネル層に組み合わせるドープ層には、InAlAsを用いるのが一般的である。ところが、InAlAs上にゲート電極を形成した場合には、特に逆方向に電圧を加えた場合の耐圧が低いことが問題であり、これを解決するために、例えば、ゲート電極直下にノンドープのInGaAsを配置する構造のものが知られている(特開平4-159730号公報)。

【0003】特開平4-159730号公報に開示されている技術の断面構造図を図4に示す。InPから成る基板311上に、InAlAsから成るバッファ層302(膜厚500nm)、InGaAsから成るチャネル層303(膜厚20nm)、InAlAsから成るスペーサ層304(膜厚2nm)、n型のInAlAsから成るドープ層305(膜厚10nm)、InAlAsから成るバリア層306(膜厚15nm)、InGaAsから成るショットキー層307(膜厚10nm)、n型のInGaAsから成るコンタクト層308(膜厚10nm)が順次積層形成され、タンタクト層308上にソース電極309及びドレイン電極310が形成されている。そして、ソース電極309とドレイン電極310との間の部分において、リセスエッチングにより露出されたショットキー層307上にゲート電極311が形成されて、HEMT300を構成している。尚、上記説明の中で、特にn型と表記していない層はノンドープの半導体層である。このような構成とすることにより、ノンドープのInGaAsを介してゲート電極311が形成されるため、直接InAlAsに電極を形成する場合に比べ、逆方向の耐圧を高くすることができる。

【0004】

【発明が解決しようとする課題】しかしながら、上記開示技術では、ソース電極309とドレイン電極310との間の部分において、コンタクト層308を除去し、膜厚10nmのショットキー層307の途中(深さ約5nm)でエッチングを停止する必要がある、極めて高精度

のエッチング技術が必要となる。エッチング深さのばらつきは、HEMT300の閾値電圧の変動や、最適バイアス条件のシフトなどの原因となり、素子特性がばらつくという問題がある。さらに、ゲート電極311がショットキー層307上に形成されているために、ゲート電極311とショットキー層307との接触部からわずかに5nm上部にはコンタクト層308が位置しており、エッチングが不均一であると、リセスエッチングの溝の幅が局所的に狭くなり、ゲート電極311の側面とコンタクト層308とが接近して、耐圧が低下する可能性もある。

【0005】従って、本発明の目的は、上記課題に鑑み、オーミック接合が必要なソース電極及びドレイン電極をn型のコンタクト層上に形成し、ショットキー接合の必要なゲート電極をノンドープのショットキー層上に形成した従来の技術とは異なり、オーミック接合及びショットキー接合のいずれの接合にも適した半導体層を選定し、リセスエッチングを行わずに、その半導体層上にソース電極、ドレイン電極及びゲート電極を直接形成することにより、特性のばらつきがなく、耐圧が向上し、高速、高周波動作が可能なHEMTを提供することである。

【0006】

【課題を解決するための手段】上記の課題を解決するため、本発明の構成は、少なくとも基板上に、不純物が添加されていない第一の半導体層と、少なくとも一部分に不純物が添加された第二の半導体層と、不純物が添加されていない第三の半導体層とが積層された電界効果トランジスタであって、第三の半導体層上に、ソース電極、ドレイン電極及びゲート電極が直接形成されたという技術的手段を採用するものである。

【0007】また、第二の発明の構成は、基板は半絶縁性のInPから成り、第一の半導体層はInGaAsから成り、第二の半導体層はn型のInAlAsから成り、第三の半導体層はInGaAsから成るといった技術的手段を採用するものである。

【0008】第三の発明の構成は、第三の半導体層の膜厚は、ソース電極、ドレイン電極及びゲート電極のそれぞれの直下において等しいという技術的手段を採用するものである。

【0009】第四の発明の構成は、ソース電極及びドレイン電極は、合金化処理により積層された半導体層内に拡散するように形成されたという技術的手段を採用するものである。

【0010】第五の発明の構成は、ソース電極及びドレイン電極はAuGe/Ni/Auから成り、ゲート電極はTi/Pt/Auから成るといった技術的手段を採用するものである。

【0011】第六の発明の構成は、ソース電極及びドレイン電極の直下に、n型の不純物がイオン注入された

いう技術的手段を採用するものである。

【0012】第七の発明の構成は、ソース電極、ドレイン電極及びゲート電極は、同一の材料で構成されたという技術的手段を採用するものである。

【0013】第八の発明の構成は、ソース電極、ドレイン電極及びゲート電極を構成する材料は、Ti/Pt/Auであるという技術的手段を採用するものである。

【0014】第九の発明の構成は、第三の半導体層の膜厚は、2nm以上5nm以下であるという技術的手段を採用するものである。

【0015】第十の発明の構成は、第一の半導体層のIn組成は、53%以上100%以下であるという技術的手段を採用するものである。

【0016】

【作用及び効果】本願発明者らは、半導体積層構造の最表面に形成された層（以下キャップ層と呼ぶ）の膜厚が、HEMTの性能に及ぼす影響を理論計算により検討した。図3にその結果の一部を示す。図3(a)は、計算に用いたモデルの構成を示した模式的断面図である。

半絶縁性のInPから成る基板1上に、InAlAs(In組成52%)から成るバッファ層2を膜厚100nm、InGaAs(In組成80%)から成るチャネル層3を膜厚20nm、InAlAs(In組成52%)から成るスペーサ層4膜厚5nm、n型のInAlAs(In組成52%)から成るドープ層5を膜厚10nm、InAlAs(In組成52%)から成るショットキー層6を膜厚5nm、InGaAs(In組成53%)から成るキャップ層7を膜厚t(nm)順次積層された半導体積層構造を考え、キャップ層7の上にゲート電極11が形成された構造について計算を行った。ここでドープ層5は、 $7 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度となるようにSiをドープし、他の層はノンドープとした。

【0017】計算では、図中のA-A'断面を一次元モデルとして、ゲートバイアス13に対する、チャネル層3に蓄積される電子量の変動率を求め、理論上得られる相互コンダクタンスを算出した。尚、電子量の計算には、シュレディンガー波動方程式とポアソンの式を解く手法を用いている。また、計算では、チャネル層3内の電子の飽和速度を $2.5 \times 10^7 \text{ cm/sec}$ と仮定し、ゲート幅1mm当たりの相互コンダクタンスで表現している。ここで、計算結果を図3(b)に示す。キャップ層7の膜厚tが小さくなるにつれて、相互コンダクタンスは増加することがわかる。相互コンダクタンスが高くなると、HEMTの利得は向上し、同時にノイズ特性も改善されるため、素子性能が高くなると考えられる。以上の計算により、ゲート電極11直下のキャップ層7は薄い方がよいことがわかった。

【0018】一方、ゲート耐圧について考えてみると、例えばキャップ層7の膜厚を0nmにしてショットキー層6を露出させると、前述の特開平4-159730号

5

公報にも述べられているように、ゲートのリーク電流が増えて耐圧が低下する問題が発生する。この問題は、ショットキー層6の界面準位が高いことが主たる原因であり、この界面準位は半導体の自然酸化層が関与していると考えられている。従って、ショットキー層6が酸化しない程度に表面を保護すれば、リークの問題は解決できると言える。そこで、本願発明者らは、キャップ層7に用いるInGaAsがどの程度厚ければ、酸素の侵入を阻止できるかを実験的に調査した。具体的には、分子線エピタキシー(Molecular Beam Epitaxy: 以下MBEと記す)法により、InP基板上にInGaAs(In組成53%)の膜を100nm形成し、一度MBE装置の真空容器から空気中に取り出した後、オージェ光電子分光装置を用いて、表面を徐々にArイオンでエッチングしながら、InGaAs膜中の酸素の深さ方向の分布を測定した。測定の結果、In組成53%のInGaAsでは、表面から約2nmまで酸素が侵入していることが明らかになった。即ち、ショットキー層6の表面を膜厚2nm以上のキャップ層7で覆えば、ショットキー層6への酸素の侵入は阻止できることがわかった。

【0019】次に、素子性能のばらつきを小さくするために、リセスエッチングを行わないことを前提にHEMTの構造を考えると、ソース電極及びドレイン電極は、ゲート電極11が接しているノンドープのInGaAsから成るキャップ層7上に形成されることになり、良好なオーミック接合が得られるかどうか問題となる。ここで、本願発明者らは、キャップ層7の膜厚を約5nm以下に薄くし、かつソース電極及びドレイン電極を合金化処理により半導体層内にも電極材料が拡散するような材質で構成すれば、ノンドープの半導体層上でも良好なオーミック特性が得られることを確認した。また、オーミック接合を得る別の手段としては、ソース電極及びドレイン電極が形成される領域を、イオン注入によってn⁺型にする方法が考えられる。

【0020】上記に示されるような理論計算や実験による検討の結果、InAlAs/InGaAsを用いたHEMTにおいて、リセスエッチングを行わずにHEMTを構成でき、エッチングのばらつきに伴う素子性能のばらつきがない構造を考案した。具体的な本発明の作用は、少なくとも基板上に、不純物が添加されていない第一の半導体層と、少なくとも一部分に不純物が添加された第二の半導体層と、不純物が添加されていない第三の半導体層とを積層し、その第三の半導体層上に、ソース電極、ドレイン電極及びゲート電極を直接形成する。これにより、リセスエッチングを用いずにゲート電極を形成することができるため、素子特性のばらつきを少なくできると共に、ゲート電極の側面と半導体層とが接触することがないため、耐圧の低下を防止することができるという効果がある(請求項1)。

【0021】また、第二の作用は、半絶縁性のInPで

6

基板を構成し、InGaAsで第一の半導体層を構成し、n型のInAlAsで第二の半導体層を構成し、InGaAsで第三の半導体層を構成する。これにより、素子特性の優れたHEMTを得ることができる(請求項2)。

【0022】第三の作用は、第三の半導体層の膜厚を、ソース電極、ドレイン電極及びゲート電極のそれぞれの直下において等しくする。これにより、素子特性のばらつきをより少なくすることができる(請求項3)。

10 【0023】第四の作用は、ソース電極及びドレイン電極を、合金化処理により積層された半導体層内に拡散するように形成する。これにより、ノンドープの第三の半導体層上において、ソース電極及びドレイン電極のオーミック特性を良好なものとすることができる(請求項4)。

20 【0024】第五の作用は、AuGe/Ni/Auでソース電極及びドレイン電極を構成し、Ti/Pt/Auでゲート電極を構成する。これにより、InGaAsから成る第三の半導体層上にソース電極及びドレイン電極をより良好にオーミック接触させることができると共に、ゲート電極を構成するTiが第三の半導体層とショットキー接合することができる(請求項5)。

【0025】第六の作用は、ソース電極及びドレイン電極の直下に、n型の不純物をイオン注入する。これにより、ソース電極及びドレイン電極をノンドープの第三の半導体層上にオーミック接触させることができ、ゲート電極をショットキー接触させることができる(請求項6)。

30 【0026】第七の作用は、ソース電極、ドレイン電極及びゲート電極を同一の材料で構成する。これにより、HEMTの製造方法を簡略化することができ、生産の効率を向上させることができる(請求項7)。

【0027】第八の作用は、ソース電極、ドレイン電極及びゲート電極をTi/Pt/Auで構成する。これにより、HEMTをより好ましく生産することができる(請求項8)。

40 【0028】第九の作用は、第三の半導体層の膜厚を、2nm以上5nm以下とする。2nm以上とすることにより、第三の半導体層より内部の半導体層への酸素の侵入を阻止できるため、ゲートのリーク電流の増加を防止でき、耐圧の低下を防止することができると共に、ソース電極及びドレイン電極の良好なオーミック接合を得ることができる(請求項9)。

【0029】第十の作用は、第一の半導体層のIn組成を、53%以上100%以下とする。これにより、第一の半導体層の電子移動度が高まり、ソース電極とドレイン電極との間の抵抗値が低下し、HEMTの性能が向上する(請求項10)。

【0030】

50 【発明の実施の形態】以下、本発明を具体的な実施例に

7

基づいて説明する。図1は、本発明に係わるInAlAs/InGaAs/InP系HEMT100（電界効果トランジスタに相当）の第一実施例の構成を示した模式的断面図である。図1に示されるように、半絶縁性のInPから成る基板1上に、InAlAs（In組成52%）から成るバッファ層2、InGaAs（In組成80%）から成るチャネル層3（第一の半導体層に相当）、InAlAs（In組成52%）から成るスペーサ層4、n型のInAlAs（In組成52%）から成るドーパ層5（第二の半導体層に相当）、InAlAs（In組成52%）から成るショットキー層6、InGaAs（In組成53%）から成るキャップ層7（第三の半導体層に相当）が順次積層形成される。そして、このキャップ層7上に、AuGe/Ni/Auから成るソース電極9及びドレイン電極10、Ti/Pt/Auから成るゲート電極11が直接形成されて、HEMT100が構成されている。ここで、ドーパ層5には、前述した計算時よりも電子の量を多くするために、 $1 \times 10^{19} \text{ cm}^{-3}$ のSiドーパを行い、他の層はノンドーパとした。

【0031】次に、このHEMT100の製造方法について説明する。まず、MBE装置内で、基板1上に順次、バッファ層2を膜厚100nm、チャネル層3を膜厚20nm、スペーサ層4を膜厚5nm、ドーパ層5を膜厚10nm、ショットキー層6を膜厚5nm、キャップ層7を膜厚2nm順次結晶成長させる。そして、キャップ層7上に、ソース電極9及びドレイン電極10を形成し、360℃で2分間加熱して合金化を行い、Geを半導体積層構造内に拡散してオーミック接触を得る。続いてキャップ層7上においてソース電極9とドレイン電極10との間にゲート電極11を形成する。ここで、ソース電極9とドレイン電極10の間隔は2μmで、ゲート電極11は両者のほぼ中央に位置しており、上部幅が0.5μm、下部幅が0.15μmのいわゆるT型ゲートとした。キャップ層7には、ゲート電極11のTiが接触しており、ショットキー接合を形成することができる。

【0032】図1に示した構成とすることにより、リセスエッチングを行わずにHEMT100を構成することができる。リセスエッチングを省略した場合には、HEMT100を構成する各半導体層の膜厚は、最初の結晶成長の工程で決まるが、MBE装置を用いた場合には、半導体層の膜厚は原子層オーダーでの極めて高精度な制御が可能であり、再現性も高いため、素子特性のばらつきを極めて小さくすることができ、HEMT100の品質の向上を実現できる。さらに、エッチング工程を省略することで、製造工程を簡略化することができ、HEMT100の低コスト化を実現できる。

【0033】尚、上記実施例ではチャネル層3をInGaAs（In組成80%）で構成したが、これはInG

8

aAsの電子移動度を高めてソース電極9とドレイン電極10との間の抵抗を下げて、HEMT100の性能を向上させることが目的であり、HEMT100に対する要求性能がそれほど厳しくない場合には、基板1と等しい格子定数となるIn組成53%でもHEMT100の動作は可能であり、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($x=0.53 \sim 1$)であればよい。また、上記実施例では、ドーパ層5を通常ドーパとしたが、例えば、ノンドーパの膜厚100nmのInAlAsの中央部に $1 \times 10^{12} \text{ cm}^{-2}$ 程度のプレーナドーパを行った構造でも実現可能である。ここで、ドーパする不純物はSiを用いたが、成膜方法によって他の材料、例えばSeでもn型のドーパ材料として用いることができる。

【0034】続いて、本発明に係わる第二実施例について説明する。図2はInAlAs/InGaAs/InP系HEMT101の構成を示した模式的断面図である。図2に示されるように、本実施例の主な特徴は、ソース電極9及びドレイン電極10の直下の部分にイオン注入し、イオン注入領域12を形成した点であり、以下にその製造方法について説明する。まず、第一実施例と同様に基板1上に、バッファ層2、チャネル層3、スペーサ層4、ドーパ層5、ショットキー層6、キャップ層7を順次積層形成する。次に、ソース電極9及びドレイン電極10が形成される部分の直下に、Si⁺を、例えば150KeVのエネルギーで $4 \times 10^{14} \text{ cm}^{-2}$ 程度注入し、950℃2秒間のフラッシュアニールを行うことにより、n⁺型イオン注入領域12を形成する。そして、キャップ層7上にTi/Pt/Auから成るソース電極9、ドレイン電極10及びゲート電極11を形成することにより、HEMT101が形成される。

【0035】このようにしてイオン注入領域12上に形成されたソース電極9及びドレイン電極10は、n⁺型の半導体層と接触するため、オーミック接合を得ることができる。一方、イオン注入されない領域に形成されたゲート電極11は、ノンドーパの半導体層と接触するため、ショットキー接合を得ることができる。

【0036】HEMT101を上記に示される構成とすることにより、第一実施例と同様にリセスエッチングを用いる必要がないため、素子特性のばらつきがなく、安定した品質を得ることができると共に、エッチング工程を省略できるためにHEMT101の製造を簡略化することができる。さらに、ソース電極9、ドレイン電極10、及びゲート電極11を全て同一の材質（Ti/Pt/Au）で形成できるため、より製造工程を簡略化することができる。

【0037】尚、本実施例では、ソース電極9及びドレイン電極10の接触抵抗がやや高くなるという問題がある。接触抵抗が問題となる場合には、第一実施例を用いるか、或いは、第一実施例と第二実施例を組み合わせ、イオン注入をした上で、ソース電極9とドレイン電

20

30

40

50

極10をAuGe/Ni/Auで形成し、熱処理を行って合金化することにより、ソース電極9及びドレイン電極10の接触抵抗を最も小さくすることができる。このように本発明によれば、特性のばらつきがなく、製造工程が簡略化されたInAlAs/InGaAs/InP系HEMT101を実現ができる。

【0038】上記実施例では、チャンネル層3とドープ層5との間にスペーサ層4を備えた構成としたが、スペーサ層4はドープ層5中の不純物による電子の散乱を防止するために設けた層であり、必要に応じてスペーサ層4を設けない構成としてもよい。また、本実施例において、InP基板1上にバッファ層2を設けた構成としたが、バッファ層2は基板1の結晶欠陥を改善する目的で設けた層であり、必要に応じてバッファ層2を設けない構成としてもよい。

【0039】上記に示されるように、本発明によれば、少なくとも半絶縁性のInPから成る基板上に、ノンドープのInGaAsから成る第一の半導体層と、少なくとも一部分にn型ドープされたInAlAsから成る第二の半導体層と、ノンドープのInGaAsから成る第三の半導体層とが積層された電界効果トランジスタにおいて、第三の半導体層上に、ソース電極、ドレイン電極及びゲート電極を直接形成することにより、リセスエッチングを用いずにゲート電極を形成することができるため、素子特性のばらつきを少なくできると共に、ゲート電極の側面と半導体層とが接触することがないため、耐圧の低下を防止することができる。また、エッチング工程を省略できるため、HEMTの生産の効率を向上させ

ることができる。尚、上記実施例において、n型ドープする不純物として、例えばSiやSe等を用いると好適である。

【図面の簡単な説明】

【図1】本発明に係わる第一実施例の構成を示した断面図。

【図2】本発明に係わる第二実施例の構成を示した断面図。

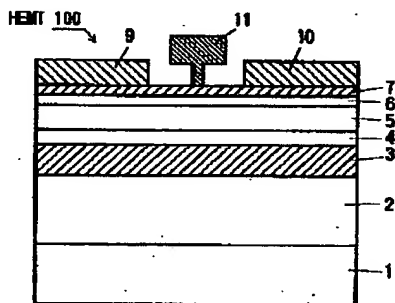
【図3】本発明に係わるキャップ層の膜厚の最適値を計算する際に用いたモデルの構成を示した断面図(a)及びその計算結果を示したグラフ(b)。

【図4】従来のHEMTの構成を示した断面図。

【符号の説明】

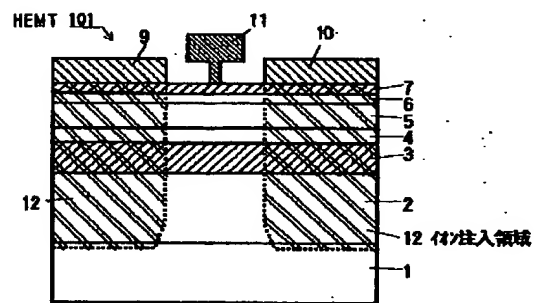
1	半絶縁性InP基板
2	ノンドープInAlAsバッファ層
3	ノンドープInGaAsチャンネル層
4	ノンドープInAlAsスペーサ層
5	n型InAlAsドープ層
6	ノンドープInAlAsショットキー層
7	InGaAsキャップ層
9	ソース電極
10	ドレイン電極
11	ゲート電極
12	イオン注入領域
100	InAlAs/InGaAs/InP系HEMT

【図1】

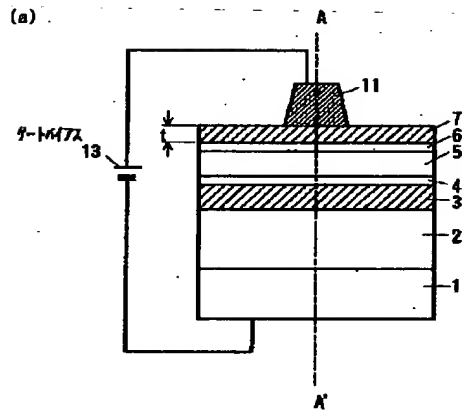


1: InP基板
2: InAlAs_{0.77}P_{0.23}層
3: InGaAs_{0.44}P_{0.56}層
4: InAlAs_{0.99}P_{0.01}層
5: InAlAs_{0.99}P_{0.01}層
6: InAlAs_{0.99}P_{0.01}層
7: InGaAs_{0.44}P_{0.56}層
9: ソース電極
10: ドレイン電極
11: ゲート電極

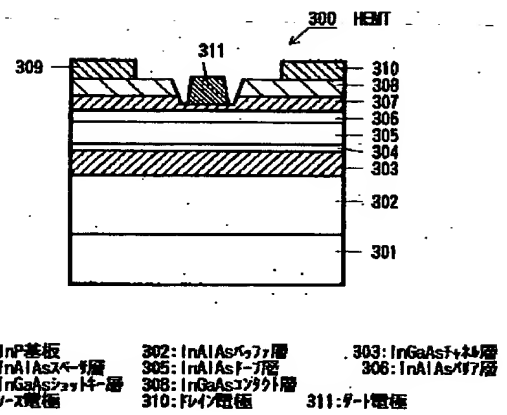
【図2】



【図3】



【図4】



301: InP基板 302: InAlAsバリア層 303: InGaAsチャネル層
 304: InAlAsバリア層 305: InAlAsバリア層 306: InAlAsバリア層
 307: InGaAsチャネル層 308: InGaAsチャネル層 309: InGaAsチャネル層
 310: Flare電極 311: Gate電極

